

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-310650

(P2004-310650A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int. Cl.⁷

F I

テーマコード (参考)

G06F 12/02

G06F 12/02 510A

5B018

G06F 12/00

G06F 12/00 597U

5B025

G06F 12/16

G06F 12/16 310A

5B035

G06K 19/07

G11C 17/00 601C

5B060

G11C 16/02

G11C 17/00 601E

審査請求 未請求 請求項の数 16 O L (全 21 頁) 最終頁に続く

(21) 出願番号

特願2003-106360 (P2003-106360)

(22) 出願日

平成15年4月10日 (2003. 4. 10)

(71) 出願人 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 品川 千晶

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

(72) 発明者 白石 敦

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

(72) 発明者 金森 賢樹

東京都千代田区丸の内二丁目4番1号 株

式会社ルネサステクノロジ内

Fターム(参考) 5B018 GA04 .HA23 NA06

最終頁に続く

(54) 【発明の名称】 メモリ装置

(57) 【要約】

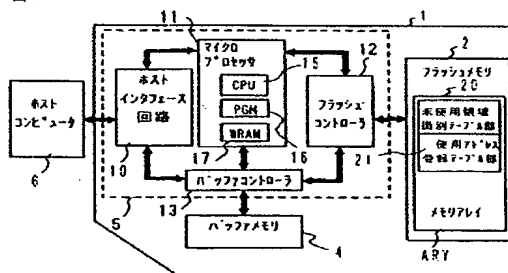
【課題】書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞を未然に防止する。

【解決手段】メモリ装置は、消去及び書き込み可能な不揮発性メモリ(2)と、制御回路(5)とを有し、前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされる。前記置き換え処理は、相対的に書き換え回数の少ない第1のメモリ領域の記憶データを未使用の第2のメモリ領域に書き込み、書き込みされた第2のメモリ領域を前記第1のメモリ領域に代えて使用領域とする。上記より、書き換え回数の少ないメモリ領域を他のメモリ領域との置き換え対象にするから、書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞は未然に防止される。

【選択図】

図1

図1



【特許請求の範囲】

【請求項 1】

消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、
前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされ、
前記置き換え処理は、相対的に書き換え回数の少ない第 1 のメモリ領域の記憶データを未使用の第 2 のメモリ領域に書き込み、書き込みされた第 2 のメモリ領域を前記第 1 のメモリ領域に代えて使用領域とすることを特徴とするメモリ装置。

【請求項 2】

前記メモリ領域は書き換え回数データを保有し、
前記制御回路は、一群のメモリ領域から夫々得られる書き換え回数データを参照し、その中から前記第 1 のメモリ領域を検索することを特徴とする請求項 1 記載のメモリ装置。

【請求項 3】

前記不揮発性メモリは、そのメモリ領域毎に未使用領域か否かを示す識別フラグの格納領域を備え、
前記制御回路は、前記識別フラグを参照して前記未使用の第 2 のメモリ領域を検索することを特徴とする請求項 1 記載のメモリ装置。

【請求項 4】

前記メモリ領域は書き換え回数データを保有し、
前記制御回路は、書き換え回数データを参照して前記第 1 メモリ領域の書き換え回数よりも書き換え回数の多いメモリ領域を検索して前記第 2 のメモリ領域とすることを特徴とする請求項 1 記載のメモリ装置。

【請求項 5】

前記制御回路は、特定のコマンドにตอบสนองして前記置き換え処理を行うことを特徴とする請求項 1 記載のメモリ装置。

【請求項 6】

前記制御回路は、特定のコマンド処理の終了にตอบสนองして前記置き換え処理を行うことを特徴とする請求項 1 記載のメモリ装置。

【請求項 7】

前記置き換え処理の開始後に別のコマンドによる指示があったときは置き換え処理を打ち切って、当該別のコマンドの処理を優先させることを特徴とする請求項 6 記載のメモリ装置。

【請求項 8】

前記制御回路は、不揮発性メモリに対する書き換え処理回数が所定回数に到達するのにตอบสนองして前記置き換え処理を行うことを特徴とする請求項 1 記載のメモリ装置。

【請求項 9】

消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、
前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされ、
前記置き換え処理は、所定の未使用メモリ領域をこれよりも書き換え回数の少ない所定の使用中メモリ領域と入れ替える処理であることを特徴とするメモリ装置。

【請求項 10】

消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、
前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされ、
前記置き換え処理は、所定のメモリ領域をこれよりも書き換え回数の少ない別のメモリ領域と入れ替え、入れ替え後の前記所定のメモリ領域を使用中、前記別のメモリ領域を未使用とすることを特徴とするメモリ装置。

【請求項 11】

消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、
前記不揮発性メモリは、メモリ領域が未使用領域か否かを示す識別フラグを格納するための未使用領域識別テーブルを有し、
前記制御回路は、書き込み処理において前記識別フラグが示す未使用領域の一つのメモリ

領域をデータ書き込み先とし、前記識別フラグが示す使用領域のメモリ領域に対し所定のタイミングでメモリ領域の置き換え処理が可能とされ、

前記置き換え処理は、相対的に書き換え回数の少ない使用領域である第1のメモリ領域の記憶データを未使用領域である第2のメモリ領域に書き込み、書き込みされた第2のメモリ領域を前記第1のメモリ領域に代えて使用領域とすることを特徴とするメモリ装置。

【請求項12】

前記不揮発性メモリは、使用領域とされるメモリ領域の物理アドレスを論理アドレスに対応して登録するための使用アドレス登録テーブルを有し、

前記制御回路は、識別フラグを未使用領域に変更する場合には当該識別フラグに割当てられているメモリ領域と物理アドレスとの対応を無効化し、識別フラグを使用領域に変更する場合には当該識別フラグに割当てられているメモリ領域を所定の物理アドレスと対応させることを特徴とする請求項11記載のメモリ装置。

【請求項13】

前記制御回路は、一つのメモリ領域を別のメモリ領域に代えて使用領域に変更するとき、その変更に係る論理アドレスと物理アドレスの対応を前記不揮発性メモリ上の使用アドレス登録テーブルに反映する前に、未使用領域から使用領域に変更される前記一つのメモリ領域の識別フラグを前記不揮発性メモリ上の未使用領域識別テーブルに反映する処理を行い、前記使用アドレス登録テーブルに反映した後に、使用領域から未使用領域に変更される前記別のメモリ領域の識別フラグを前記不揮発性メモリ上の未使用領域識別テーブルに反映する処理を行うことを特徴とする請求項12記載のメモリ装置。

【請求項14】

前記メモリ領域は書き換え回数データを保有し、

前記制御回路は、一群のメモリ領域から夫々得られる書き換え回数データを参照し、その中から前記第1のメモリ領域を検索することを特徴とする請求項12記載のメモリ装置。

【請求項15】

前記制御回路は、前記識別フラグを参照して前記未使用の第2のメモリ領域を検索することを特徴とする請求項12記載のメモリ装置。

【請求項16】

前記制御回路は、書き換え回数データを参照して前記第1のメモリ領域の書き換え回数よりも書き換え回数の多いメモリ領域を検索して前記第2のメモリ領域とすることを特徴とする請求項12記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性のメモリ装置に関し、例えばフラッシュメモリカード及びハードディスク互換のフラッシュディスクなどに適用して有効な技術に関する。

【0002】

【従来の技術】

フラッシュメモリに代表される電氣的に書換え可能な不揮発性メモリに対する記憶情報の書き換えではメモリセルに電氣的なストレスがかかり、書き換え回数が増すに従ってメモリセルの特性が劣化する。局所的に書き込みが集中すると一部のデータブロックだけ特性劣化が著しくなるので、ある一定の書き換え回数に至ると、自動的に他の領域との間でデータとアドレスの入れ替えを行って、不揮発性メモリの書き換え回数寿命を延ばすようにした技術がある。例えば書き込み回数が規定値を超えるとデータブロックのアドレス割り当てを変更する（特許文献1参照）。またECCエラー回数が規定値を超えるとデータブロックのアドレス割り当てを変更する（特許文献2参照）。

【0003】

【特許文献1】

特開平04-503720

【特許文献2】

特開平 02-118997

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来技術では、殆ど書き換えを行なわないメモリ領域は書き換え回数が増加しないため他のメモリ領域との入れ換えがなかなか発生しない。入れ替えの発生しないメモリ領域では累積的にワード線ディスタ urb やビット線ディスタ urb による影響を受け、最終的に閾値電圧の変化が無視し得ないほど大きくなって記憶情報が不所望に反転（データ化け）する虞がある。

【0005】

また、本発明者は未だ公知ではない先の本出（特願 2002-294060 号）により、消去及び書き込み処理中に動作電源が遮断されても記憶情報が不所望に消失しないメモリカードを提案している。即ち、メモリカードの記憶管理にそのメモリ領域毎に空き情報フラグを対応付けた消去テーブルを用意し、メモリカードの書き込みでは、消去テーブルの空き情報フラグを参照して書き換えデータを書き込むメモリ領域を決定し、書き換え前のメモリ領域とは異なるメモリ領域にデータの書き込みを行うようにすることにより、書き換え後であっても書き換え前のデータは元のメモリ領域に残るようになる。消去途中などで不所望な電源遮断を生じても、元のメモリ領域に残っているデータを利用すれば、データの回復が可能になる。

【0006】

このようなテーブル方式の書き込みでは、新しいセクタヘデータを書き込み、旧データの消去は行なわず消去テーブルのみ更新することによって旧データを残すことができる。しかしながら、書き込みによって新たに用いられる空き領域は未使用のメモリ領域であるから、書き換えが発生しないメモリ領域では未使用のメモリ領域との置き換えは全く発生しない。この場合も上記同様に、書き換えが発生しないメモリ領域では累積的にワード線ディスタ urb やビット線ディスタ urb による影響を受け、データ化けの虞がある。

【0007】

本発明の目的は、書き換えが発生しないメモリ領域で累積的にディスタ urb による影響を受けてデータ化けを生ずる虞を未然に防止することができるメモリ装置を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

〔1〕本発明に係るメモリ装置は、消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされる。前記置き換え処理は、相対的に書き換え回数の少ない第1のメモリ領域の記憶データを未使用の第2のメモリ領域に書き込み、書き込みされた第2のメモリ領域を前記第1のメモリ領域に代えて使用領域とする。上記より、書き換え回数の少ないメモリ領域を他のメモリ領域との置き換え対象にするから、書き換えが発生しないメモリ領域で累積的にディスタ urb による影響を受けてデータ化けを生ずる虞は未然に防止される。

【0011】

置き換え元の選定に関しては、前記メモリ領域が書き換え回数データを保有するとき、前記制御回路は、一群のメモリ領域から夫々得られる書き換え回数データを参照し、その中から前記第1のメモリ領域を検索すればよい。

【0012】

置き換え先の選定に関しては、前記不揮発性メモリがそのメモリ領域の例えば消去単位毎

に未使用領域か否かを示す識別フラグの格納領域を備えるとき、前記制御回路は、前記識別フラグを参照して前記未使用の第2のメモリ領域を検索すればよい。

【0013】

置き換え先の選定に関する別の形態は、前記メモリ領域が書き換え回数データを保有するとき、前記制御回路は、書き換え回数データを参照して前記第1のメモリ領域の書き換え回数よりも書き換え回数の多いメモリ領域を検索して前記第2のメモリ領域とすればよい。

【0014】

前記置き換え処理へ移行するトリガとして例えば以下の形態がある。第1は、特定のコマンドに応答して前記置き換え処理を行う。第2は、特定のコマンド処理の終了に応答して前記置き換え処理を行う。前記置き換え処理の開始後に別のコマンドによる指示があったときは置き換え処理を打ち切って、当該別のコマンドの処理を優先させる。読み出しなどの優先度の高い処理が遅れないようにするためである。

【0015】

〔2〕本発明の別の観点によるメモリ装置は、消去及び書き込み可能な不揮発性メモリと、制御回路とを有し、前記制御回路は所定のタイミングでメモリ領域の置き換え処理が可能とされ、前記置き換え処理は、所定の未使用メモリ領域をこれよりも書き換え回数の少ない所定の使用中メモリ領域と入れ替える処理である。書き換え回数の少ない使用中メモリ領域が未使用メモリ領域と入れ替えられるから、書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞は未然に防止される。

【0016】

本発明の更に別の観点によるメモリ装置における置き換え処理は、所定のメモリ領域をこれよりも書き換え回数の少ない別のメモリ領域と入れ替え、入れ替え後の前記所定のメモリ領域を未使用から使用中、前記別のメモリ領域を使用中から未使用に変更する処理である。これも、書き換え回数の少ないメモリ領域を他のメモリ領域との置き換え対象にするから、書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞は未然に防止される。

【0017】

〔3〕本発明の更に別の観点によるメモリ装置は、消去及び書き込み可能な不揮発性メモリと、制御回路とを有する。前記不揮発性メモリは、メモリ領域が未使用領域か否かを示す識別フラグを格納するための未使用領域識別テーブルを有する。前記制御回路は、書き込み処理において前記識別フラグが示す未使用領域の一つのメモリ領域をデータ書き込み先とし、前記識別フラグが示す使用領域のメモリ領域に対し所定のタイミングでメモリ領域の置き換え処理が可能とされる。前記置き換え処理は、相対的に書き換え回数の少ない使用領域である第1のメモリ領域の記憶データを未使用領域である第2のメモリ領域に書き込み、書き込みされた第2のメモリ領域を前記第1のメモリ領域に代えて使用領域とする処理である。

【0018】

上記より、書き込み処理において前記識別フラグが示す未使用領域の一つのメモリ領域をデータ書き込み先とすることにより、書き込みが有れば実質的にメモリ領域の入れ替えを生ずるのでこの限りにおいてメモリ領域に対する書き込み回数の平準化に資する。更に、データの書き換えなどに際し、書き込み元のメモリ領域と異なるメモリ領域を新たな書き込み領域とするから、書き込み途中などで不所望な電源遮断等が発生しても、その直後には元のデータは書き込み元のメモリ領域に残るので、消失したデータの復元が可能である。

【0019】

上記置き換え処理では、書き換え回数の少ないメモリ領域を他のメモリ領域との置き換え対象にするから、書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞は未然に防止される。

【0020】

本発明の具体的な形態では、前記不揮発性メモリは、使用領域とされるメモリ領域の物理アドレスを論理アドレスに対応して登録するための使用アドレス登録テーブルを有する。このとき、前記制御回路は、識別フラグを未使用領域に変更する場合には当該識別フラグに割当てられているメモリ領域と物理アドレスとの対応を無効化し、識別フラグを使用領域に変更する場合には当該識別フラグに割当てられているメモリ領域を所定の物理アドレスと対応させる。

【0021】

本発明の更に具体的な形態では、前記制御回路は、一つのメモリ領域を別のメモリ領域に代えて使用領域に変更するとき、その変更に係る論理アドレスと物理アドレスの対応を前記不揮発性メモリ上の使用アドレス登録テーブルに反映する前に、未使用領域から使用領域に変更される前記一つのメモリ領域の識別フラグを前記不揮発性メモリ上の未使用領域識別テーブルに反映する処理を行い、前記使用アドレス登録テーブルに反映した後に、使用領域から未使用領域に変更される前記別のメモリ領域の識別フラグを前記不揮発性メモリ上の未使用領域識別テーブルに反映する処理を行う。これにより、データ回復のために元のメモリ領域を検索可能にすることを保証することができる。

【0022】

【発明の実施の形態】

《メモリカード》

図1には本発明に係るメモリ装置の一例であるフラッシュメモリカードが示される。フラッシュメモリカード1は消去及び書き込み可能な不揮発性メモリ例えばフラッシュメモリ2と、DRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から成るバッファメモリ4と、メモリ制御及び外部インタフェース制御を行うカードコントローラ(制御回路)5とを、実装基板に備えて成る。

【0023】

前記バッファメモリ4及びフラッシュメモリ2はカードコントローラ5のアクセス制御を受ける。前記フラッシュメモリ2は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタが多数マトリクス配置されたメモリアレイARYを有する。メモリセルトランジスタ(フラッシュメモリセルとも記す)は、特に図示はしないが、半導体基板若しくはウェル内に形成されたソース及びドレイン、前記ソースとドレインとの間のチャンネル領域にトンネル酸化膜を介して形成されたフローティングゲート、そしてフローティングゲートに層間絶縁膜を介して重ねられたコントロールゲートによって構成される。コントロールゲートは対応するワード線に、ドレインは対応するビット線に、ソースはソース線に接続される。前記メモリセルトランジスタは、前記フローティングゲートに電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低下する。前記メモリセルトランジスタは、データ読み出しのためのワード線電圧(コントロールゲート印加電圧)に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

【0024】

図1において、前記カードコントローラ5は、例えばホストコンピュータ(ホスト装置)6との間でIDEディスクインタフェース仕様などに従った外部インタフェース制御を行う。カードコントローラ5は、ホストコンピュータ6からの指示に従って、フラッシュメモリ2をアクセスするアクセス制御機能を有する。このアクセス制御機能はハードディスク互換の制御機能であり、例えばホストコンピュータ6がセクタデータの集合をファイルデータとして管理するとき、カードコントローラ5は論理アドレスとしてのセクタアドレスと物理メモリアドレスとを対応させてフラッシュメモリ2のアクセス制御を行う。図1に従えば、前記カードコントローラ5は、ホストインタフェース回路10、演算制御手段としてのマイクロプロセッサ(MPU)11、フラッシュコントローラ12、及びバッファコントローラ13から成る。前記フラッシュコントローラ12は図示を省略するECC

回路を備える。

【0025】

前記MPU11は、CPU (Central Processing Unit) 15、プログラムメモリ (PGM) 16及びワークRAM (WRAM) 17などを有し、カードコントローラ5を全体的に制御する。プログラムメモリ16はCPU15の動作プログラムなどを保有する。

【0026】

前記ホストインタフェース回路10は、ATA (AT Attachment)、IDE (Integrated Device Electronics)、SCSI (Small Computer System Interface)、MMC (MultiMediaCard: 登録商標)、PCMCIA (Personal Computer Memory Card International Association) 等の所定のプロトコルに従って、パーソナルコンピュータ又はワークステーションなどのホストコンピュータ6とインタフェースを行う回路である。ホストインタフェース動作の制御はMPU11が行う。

【0027】

前記バッファコントローラ13はMPU11から与えられるアクセス指示に従って、バッファメモリ4のメモリアクセス動作を制御する。バッファメモリ4にはホストインタフェース10に入力されたデータ、又はホストインタフェース10から出力するデータが一時的に保持される。また、バッファメモリ4には、フラッシュメモリ2から読み出されたデータ又はフラッシュメモリ2に書き込まれるデータが一時的に保持される。

【0028】

フラッシュコントローラ12はMPU11から与えられるアクセス指示に従って、フラッシュメモリ2に対する、読み出し動作、消去動作及び書き込み動作を制御する。フラッシュコントローラ12は、読み出し動作において読み出しコマンドコードや読み出しアドレス情報等の読み出し制御情報を出し、書き込み動作において書き込みコマンドコード及び書き込みアドレス情報などの書き込み制御情報を出し、消去動作において消去コマンド等の消去制御情報を出し、図示を省略するECC回路は、MPU11から与えられる指示に従って、フラッシュメモリ2に書き込むデータに対してエラー訂正符号 (エラー訂正コード) を生成して、書き込みデータに付加する。また、フラッシュメモリ2から読み出された読み出しデータを当該読み出しデータに付加されているエラー訂正符号を用いてエラー検出・訂正処理を行い、そのエラー訂正能力範囲のエラー発生に対してエラー訂正を行う。

【0029】

フラッシュメモリ2はそのメモリアレイARYの一部に未使用領域識別テーブル部20及び使用アドレス登録テーブル部21を有する。

【0030】

図2にはフラッシュメモリ2の記憶領域が例示される。フラッシュメモリ2の記憶領域 (メモリアレイARY) は、前記未使用領域識別テーブル部20、使用アドレス登録テーブル部21及びユーザエリア22、未使用領域識別テーブル部と使用アドレス登録テーブル部を更新するときに必要な空きブロック領域23に大別される。各領域はメモリブロック (メモリセクタ) 単位で物理アドレスとしてのブロックアドレスが与えられる。前記メモリブロックを単にブロックとも記す。特に制限されないが1ブロックは約2KB (キロバイト) の記憶容量を有し、その1ブロックに含まれるメモリセルアレイは1本のワード線又は1種類のワード線選択信号で選択され、消去処理及び書き込み処理の単位とされる。即ち、ここでは消去処理や書き込み処理で必要な高電圧がワード線単位で印加される。この1ブロックはHDDなどのストレージにおける書き換え単位とされるセクタ (ストレージセクタ) の容量512B (バイト) よりも大きい。例えば1ブロックは4ストレージセクタ分にECCコード及び管理領域を合わせた記憶容量を有する。

【0031】

前記未使用領域識別テーブル部20と使用アドレス登録テーブル部21のそれぞれは、特に制限されないが、1ブロック単位で分割配置され、各分割単位はその1ブロック内で多重化される。例えば未使用領域識別テーブル部20はブロックアドレス0x0000~0x000Fに配置され、0x0000のように1ブロックを一単位としてブロック毎に分割される。使用アドレス登録テーブル部21はブロックアドレス0x0010~0x010Fに配置され、0x0010のように1ブロックを一単位としてブロック毎に分割される。

【0032】

《使用アドレス登録テーブル》

図3には使用アドレス登録テーブル部21の一部、例えばブロックアドレスBA55に配置された使用アドレス登録テーブルブロックの詳細が例示される。ATTで示されるものが分割された一つの使用アドレス登録テーブルであり、図では“消去済”と記載された領域を併せて4重に多重化されている。多重化された4個の使用アドレス登録テーブルはその内の1個が順番に有効とされる。分割された使用アドレス登録テーブルATTは、4個のストレージセクタに相当する論理アドレス毎に、対応するメモリセクタの物理アドレス即ち1個のブロックアドレスを対応付けた情報を保有する。例えば、使用アドレス登録テーブルATTの先頭から順番に、論理アドレスLBA0~3にはブロックアドレスBA_mが対応付けられ、論理アドレスLBA4~7にはブロックアドレスBA_nが対応付けられる、というような形式で、論理アドレスにメモリブロックの物理アドレスを対応付けた情報が格納される。使用アドレス登録テーブルにおける論理アドレス情報は例えば昇順で配置される。降順であってもよい。図3において、ブロックアドレスBA_m、BA_n等のメモリブロックアドレスは、連続した論理アドレス4セクタに対応されるメモリブロックのアドレスを意味し、例えば15ビットを有する。ここでは、メモリブロックのアドレス毎に1ビットのライトプロテクトビットWPが付加されている。ホストコンピュータ6からフラッシュメモリカード1に対するアクセス指示にはアクセス対象セクタのアドレス（論理セクタアドレス又は論理アドレスとも称する）が指定されており、この論理セクタアドレスを検索キーとして、対応するブロックアドレスを使用アドレス登録テーブルを用いて検索する。

【0033】

《未使用領域識別テーブル》

図4には未使用領域識別テーブル部20の一部、例えばブロックアドレスBA0に配置された未使用領域識別テーブルブロックの詳細が例示される。ETで示されるものが分割された一つの未使用領域識別テーブルであり、図では“消去済”と記載された領域を併せて4重に多重化されている。多重化された4個の未使用領域識別テーブルETはその内の1個が順番に有効とされる。分割された未使用領域識別テーブルETは、メモリ領域の物理アドレス即ちブロックアドレス毎に未使用識別フラグFLGが対応付けられている。要するに、未使用領域識別テーブルETの先頭から順番に1ビット単位で、先頭ブロック（ブロックアドレスBA0）の未使用識別フラグFLG、次ブロック（ブロックアドレスBA1）の未使用識別フラグFLGというように、順次フラグFLGのビットで埋められている。未使用識別フラグFLGは1ビットで消去単位の対応メモリブロックが未使用領域か否かを示す。“1”は未使用メモリブロック、“0”は使用メモリブロックであることを意味する。未使用領域識別テーブルにおける未使用識別フラグFLGの配列はブロックアドレス（物理アドレス）の昇順で配置される。降順であってもよい。

【0034】

夫々が4重化されたテーブル（未使用領域識別テーブルET、使用アドレス登録テーブルATT）の内の1個を順番に有効とする制御手法について説明する。多重化された有効なテーブルは各ブロックの管理領域に割当てられた更新フラグによって識別する。更新フラグは分割テーブルに対応させて各メモリブロックに4ビットあり、対応分割テーブルが有効にされたとき“1”にされ、消去されるまでその状態を維持する。メモリブロックで多重化された分割テーブルは順次選択される。選択方向先頭で更新フラグが“1”と“0”

の境界になっている地点が検索されることにより、当該”1“の更新フラグに対応する分割テーブルが有効になる。有効な分割テーブルの位置を変更するのはテーブル内容を更新するときに行う。テーブル更新は追加書き込みによって行う。要するに、消去を行わず、新たにデータを追加する部分以外をマスクして（書き込み非選択として）書き込みを行う。一つのメモリブロックの4ビットの更新フラグが全部”1“にされている状態からテーブルを更新するときは、空きブロック領域23にあるブロックに書き換えを行い、当該テーブルを新しく作成し、元のテーブルは空きブロックとして再利用する。この処理により、テーブル上の同じ不揮発性メモリセルが繰り返し書き換えに供される頻度を低減している。

【0035】

《書き込み動作》

図5には前記未使用領域識別テーブル20及び使用アドレス登録テーブル21を利用したメモリカードの書き込み動作の処理フローが例示される。図6及び図7には図5の処理における主なデータの流れ等が図示される。

【0036】

ホストコンピュータ6からバッファメモリ4に例えば512バイトの書き込みデータが供給される（S1）。その書き込みデータに対するライトアクセスの指示があると、カードコントローラ5は書き込み対象の論理アドレスLBA（論理セクタアドレス）に対応するブロックアドレスが格納されている使用アドレス登録テーブルATTをフラッシュメモリ2からバッファメモリ4の使用アドレス登録テーブルバッファに格納する（S2）。即ち、使用アドレス登録テーブル部21をインデックスする論理アドレス情報は昇順配置だから、論理アドレスLBAに従って、所要の使用アドレス登録テーブルが配置されるメモリブロックを選ぶ。選んだメモリブロックに対しその管理領域を先ずリードして、多重化されている中から有効な使用アドレス登録テーブルATTの所在を把握し、これに基づいて使用アドレス登録テーブルATTをリードする。リードした使用アドレス登録テーブルを検索することによりライト対象の論理アドレスに現在対応するブロックアドレス（原ブロックアドレスと称する）PA4を取得する。

【0037】

カードコントローラ5は、原ブロックアドレスPA4に格納されているデータの内から書き換えられないデータを読み出してバッファメモリ4のデータバッファに格納し、ホストコンピュータ6からのライトデータと組合わせる（S3）。例えばライトデータが1ストレージセクタ分のデータSDmであるなら、原ブロックアドレスOBAからは3ストレージセクタ分のデータSDi、SDj、SDkをリードし、合わせて4ストレージセクタ分のデータを書き換えデータとする。

【0038】

次にカードコントローラ5は、原ブロックアドレスPA4に対応する未使用領域識別テーブル（以下原未使用領域識別テーブルと称する）ETをバッファメモリ4の原未使用領域識別テーブルバッファにリードする（S4）。リードされる未使用領域識別テーブルは一つの未使用領域識別テーブルブロック内で多重化されている4個の未使用領域識別テーブルの内の有効な一つである。ここでは、前述の通り、分割配置された一つの未使用領域識別テーブルは多重化されており、前記管理領域内の更新フラグの状態を参照して多重化されている中の一つの未使用領域識別テーブルをリードする。更にマイクロプロセッサ11はデータ書き換え後に使用する未使用領域識別テーブル（新未使用領域識別テーブル）をバッファメモリ4に格納する制御を行う（S4）。例えば、マイクロプロセッサ11はプログラムROM16内の擬似乱数発生プログラムを実行して、書き込みデータの書き込み先となるブロックアドレス（新ブロックアドレス）を取得するための検索開始ブロックアドレスを求める。カードコントローラ5は、このようにして得られた検索開始ブロックアドレスに対応した新未使用領域識別テーブルをバッファメモリ4に格納する。この場合も上記同様に、未使用領域識別テーブルブロック内で多重化されている一つの有効な未使用領域識別テーブルをバッファメモリ4に格納する。

【0039】

そして、メモリコントローラ5はバッファメモリ4に格納した新未使用領域識別テーブルから使用可能な新ブロックアドレス（未使用アドレス）PA3を検索する（S5）。即ち、メモリバッファ4にリードした新未使用領域識別テーブルETの疑似乱数発生プログラムを実行して取得した検索開始ブロックアドレスから昇順又は降順に未使用識別フラグFLAGを調べ、フラグFLAGが値“1”となる最初の位置に応ずるブロックアドレスを新ブロックアドレスPA3とする。新ブロックアドレスPA3のメモリブロックに対しては消去処理が行なわれる（S6）。

【0040】

消去処理が行われた未使用アドレスPA3のメモリブロックに対して、前記ステップS3で生成された書き換えデータによって書き込み処理が行なわれる（S7）。書き込み処理に対して書き込み成功か否かが判定される。書き込み不成功であれば、そのときのバッファメモリ4にリードされている新未使用領域識別テーブル上で、当該書き込みエラーに係る新ブロックアドレスに対応するフラグFLAGを使用状態“0”に変更し、前記ステップS5に戻って、前記新未使用領域識別テーブルから使用可能な別のブロックアドレスを検索して、途中から処理をやり直す。

【0041】

ステップS7の書き込みが成功と判別されたときは、先ず、バッファメモリ4にリードされている新未使用領域識別テーブル上で、新ブロックアドレスPA3に対応する未使用識別フラグFLAGを使用状態に設定変更し、変更した新未使用領域識別テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該新未使用領域識別テーブルのメモリブロックに書き込む（S8）。これによって新ブロックアドレスPA3は使用アドレスとされる。次に、バッファメモリ4にリードされている前記使用アドレス登録テーブルATT上で、今回のアクセス対象論理アドレスに対応するブロックアドレスを、原ブロックアドレスPA4から新ブロックアドレスPA3に変更し、変更した使用アドレス登録テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該使用アドレス登録テーブルのメモリブロックに書き込む（S9）。これによって原ブロックアドレスPA4は使用アドレス登録テーブルエントリから外され、代わりに新ブロックアドレスPA3がエントリとして登録される。最後に、バッファメモリ4にリードされている原未使用領域識別テーブル上で、原ブロックアドレスに対応する未使用識別フラグFLAGを未使用状態に設定変更し、変更した原未使用領域識別テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該原未使用領域識別テーブルのメモリブロックに書き込む（S10）。これによって原ブロックアドレスPA4は使用アドレスから未使用アドレスに変更される。

【0042】

ここで、図6では原ブロックアドレスのブロックデータにセクタデータSDh、SDi、SDj、SDkが含まれ、新ブロックアドレスPA3上では、その内のセクタデータSDhがホストコンピュータ6からライトアクセスによりセクタデータSDmに書き換えられる。

【0043】

図6及び図7からも明らかなように、ステップS7にて新ブロックアドレスPA3のメモリブロックに書き換えデータSDm、SDi、SDj、SDkを書き込んでも、原ブロックアドレスPA4のメモリブロックには書き換え前のデータSDh、SDi、SDj、SDkがそのまま残っている。フラッシュメモリ2上では原未使用領域識別テーブル及び使用アドレス登録テーブルもそのままである。したがって、ステップS7の書き込みが完了する前にフラッシュメモリカード1がカードスロットから引き抜かれたりして動作電源が遮断されても、前のデータはそのまま残る。書き換えデータが書き込まれるメモリブロックは、書き換えられる元のデータのメモリブロックとは相違されるからである。更にステップS7の書き換えデータの書き込みが終わった後、先ず、新ブロックアドレスPA3を使用状態に設定変更した新未使用領域識別テーブルをフラッシュメモリ2に書き戻す（S

8)。ステップS8の処理完了により、新ブロックアドレスPA3に書き込まれたデータの不所望な消去防止が保証される。使用状態を示すフラグFLAGに対応するメモリブロックは消去不可として扱われるからである。次に原ブロックアドレスPA4が新ブロックアドレスPA3に変更された使用アドレス登録テーブルがフラッシュメモリ2に書き戻される(S9)。これによって新ブロックアドレスへのアクセスが可能にされる。設定変更された原未使用領域識別テーブルの書き戻しは最後に行われ(S10)、これが完了されることにより、原ブロックアドレスPA4のメモリブロックデータは消去許可になって、最早不要になる。電源遮断によってステップS10の処理が中断しても、単に原ブロックアドレスのメモリブロックが再利用不可能になるだけであり、必要なデータアクセスに支障は生じない。

【0044】

上記より明らかなように前記ステップS8、S9、S10の処理順は不所望な電源遮断によるデータ消失の防止を徹底させ、且つ記憶情報管理の論理整合を採り易くする意味において重要である。即ち、先ず、新ブロックアドレスのデータを消去不許可にして保護する処理(S8)を行った後に、原ブロックアドレスに残っているデータを容易に取り出せなくする処理(S9)、そして原ブロックアドレスに残っているデータを消去許可とする処理(S10)を行う。例えばS8の処理とS10の処理の順番を入れ替えて、先にS10の処理を完了すると、新ブロックアドレスと原ブロックアドレスの双方に対して消去を許容する状態が発生し、このまま電源の遮断が発生すれば、その後に前記双方に対する消去許容状態が維持され、必要なデータが不所望に消去される虞を生ずる。

【0045】

《置き換え処理》

前記カードコントローラ5は所定のタイミングでメモリブロックの置き換え処理を行う。置き換え処理とは、相対的に書き換え回数の少ないメモリブロックの記憶データを未使用のメモリブロックへ書き込み、書き込みされたメモリブロックを元の書き換え回数の少ないメモリブロックに代えて使用領域とする処理である。

【0046】

図8には置き換え処理動作の一例が示される。ここでは置き換え元のブロックアドレスをPA1、置き換え先のブロックアドレスをPA2とする。図8の説明では適宜図6及び図7を参照する。図8の置き換え処理は、例えば、特定コマンドに応答して、或は書き込み等の所定のコマンド処理の終了に応答して開始する。

【0047】

置き換え処理が開始されると、マイクロプロセッサ11は先ず、例えば一つの使用アドレス登録テーブルATTを選んでフラッシュメモリ2からバッファメモリ4の使用アドレス登録テーブルバッファに格納する(S20)。どれを選ぶかは特に制限されず、ランダムであっても、或はその直前に利用していたテーブルATTであっても、更にはカードコントローラ5の内部で所定のアルゴリズムに従って選んだものでも、また、ホストコンピュータ6から指示された論理アドレスに対応するものであってもよい。そして、バッファメモリ4に読み込んだ使用アドレス登録テーブルにエントリとして含むブロックアドレスについて少なくとも定義されている未使用領域識別テーブル(原未使用領域識別テーブル)と、移動先メモリブロックの検索に利用する未使用領域識別テーブル(新未使用領域識別テーブル)とをバッファメモリ4に格納する(S21)。新未使用領域識別テーブルとしてどれを選ぶかは任意である。次にマイクロプロセッサ11は、例えばプログラムROM16内の擬似乱数発生プログラムを実行して、新未使用領域識別テーブルから移動先となる未使用ブロックアドレスを検索し、これを置き換え先ブロックアドレスPA2とする(S22)。

【0048】

この段階でホストコンピュータ6からアクセスコマンド等による新たな動作要求があるか否かを判別する(S23)。有れば、ホストコンピュータ6からの要求動作を実行する(S24)。要求がなければ置き換え処理を継続する。即ち、ステップS20で読み込んだ

使用アドレス登録テーブルを利用して書き込み回数の少ないブロックアドレスを検索し、これを置き換え元ブロックアドレスPA1とする(S25)。書き込み回数の少ないブロックアドレスを検索するには、例えば各メモリブロックの管理領域に書き換え回数データを保有させ、一群のメモリブロックから夫々得られる書き換え回数データを参照し、その中から書き換え回数の少ないメモリブロックを検索すればよい。

【0049】

そして、マイクロプロセッサ11は前記置き換え元ブロックアドレスPA1のメモリブロックが保有するデータを読み出し、バッファメモリ4へ退避させ前記置き換え先ブロックアドレスPA2のメモリブロックを消去して、ここにバッファ4へ退避させているデータを書き込む(S26)。

【0050】

その後は、前記書き込み処理のステップS8、S9、S10と同様の処理S27、S28、S29を行う。即ち、バッファメモリ4にリードされている新未使用領域識別テーブル上で、置き換え先ブロックアドレスPA2に対応する未使用識別フラグFLAGを使用状態に設定変更し、変更した新未使用領域識別テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該新未使用領域識別テーブルのメモリブロックに書き込み、これによって置き換え先ブロックアドレスPA2は使用アドレスとされる(S27)。次に、バッファメモリ4にリードされている前記使用アドレス登録テーブルATT上で、今回の置き換え元ブロックアドレスPA1と論理アドレスとの対応を、置き換え先ブロックアドレスPA2とその論理アドレスとの対応に変更し、変更した使用アドレス登録テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該使用アドレス登録テーブルのメモリブロックに書き込む(S28)。これによって置き換え元ブロックアドレスPA1は使用アドレス登録テーブルエントリから外され、代わりに置き換え先ブロックアドレスPA2がエントリとして登録される。最後に、バッファメモリ4にリードされている原未使用領域識別テーブル上で、置き換え元ブロックアドレスPA1に対応する未使用識別フラグFLAGを未使用状態に設定変更し、変更した原未使用領域識別テーブルのデータを書き換えデータとして、フラッシュメモリ2上の当該原未使用領域識別テーブルのメモリブロックに書き込む(S29)。これによって置き換え元ブロックアドレスPA1は使用アドレスから未使用アドレスに変更される。処理S27、S28、S29の順番は前記書き込み処理のステップS8、S9、S10の順番と同じ意義を有する。

【0051】

図9には書き込み回数の少ないブロックアドレスを検索する手順が例示される。検索回数カウンタiに初期値1を設定し(S30)、ステップS20で読み込んだ使用アドレス登録テーブルの中から、擬似乱数発生プログラムを使用して一つのブロックアドレスを抽出し、そのブロックアドレスをアドレスレジスタAに、また、そのブロックアドレスのメモリブロックに対する書き込み回数を書き込み回数初期値として書き込み回数カウンタWにセットする(S31)。そして、iの回数が最大検索回数mを超えるまで、以下の操作を繰返す(S32)。即ち、Aの初期アドレスによってプリセットされて+1インクリメントされたアドレスカウンタAの計数値Aiを用いてメモリブロックから書き換え回数データWiを取得し(S33)、 $W > W_i$ を判別し(S34)、 $W > W_i$ であればWにWiを代入し(S35)、AにAiを代入し(S36)、iにi+1を代入する(S37)。W > Wiでなければiにi+1を代入する(S37)。m < iになって処理を終了すると、Wには検索範囲で書き換え回数最小の回数に残り、Aにはそのブロックアドレスが保持される。

【0052】

図10には図5で説明した置き換え処理によるデータ移動の様子と図8で説明した書き込み処理によるデータの流れの様子が模式的に示される。初期状態では例えばブロックアドレスPA1は論理アドレスLAiに対応され、ブロックアドレスPA4は論理アドレスLAjに対応され、ブロックアドレスPA2、PA3は未使用とされている。例えば論理アドレスLAjに対する書き込みでは、ブロックアドレスPA4のデータDn+Dm(51

2バイト×3)が、未使用のブロックアドレスPA3のメモリブロックに書き込まれ、ブロックアドレスPA3が論理アドレスLAjに対応され、元のブロックアドレスPA4のメモリブロックは未使用にされる。このように通常の書き込み処理でもメモリブロックの割り当てが変更されてメモリブロックに対する書き換え回数の平準化が行なわれるが、書き換えが全く起こらない使用メモリブロックはそのままでは他のメモリブロックと置き換えを生じない。前記置き換え処理は、その様な、書き換えが起こらない使用メモリブロック、即ち、書き換え回数の少ない使用メモリブロックを置き換え対象とする。図9においてPA1は書き換え回数の少ないブロックアドレスであり、このブロックアドレスPA1のデータを別のブロックアドレスPA2に移動し、PA1に割り当てられていた論理アドレスLAiを移動先のブロックアドレスPA2に対応させ、PA1を未使用とする。これにより、ホストコンピュータ6からアドレスが指定された書き込みアクセスによる書き込みを全く生じないメモリブロックのデータに対しても、メモリブロックの入れ換えが可能にされる。したがって、書き換えが発生しないメモリブロックが累積的にワード線ディスタートやビット線ディスタートを受けることによってデータ化けを生ずる虞を未然に防止することができる。書き換え回数の平準化のために、書き換え回数の少ないメモリブロックは平均的な書き換え回数を持つアドレスへ移動を行ない、書き換え回数が多いメモリブロックへ行なわないようにする。書き換え回数の多いメモリブロックへ移動を行なうと、再び書き換えが起こらなくなる事が予想され、書き換え回数が多いメモリセルはメモリセルの特性劣化が生じている可能性もありディスタート発生可能性がある。上記平均的な書き換え回数とは、置き換え処理の置き換え元になるメモリブロックの書き換え回数よりも多い書き換え回数を持つものと把握してもよい。上記平均的な書き換え回数を持つメモリブロックを選択する方法については、特に図示はしないが、例えば、任意のアドレスから順次複数のブロックアドレスの範囲で書き換え回数の平均値を求め、その範囲で最も平均値に近く且つ置き換え元メモリブロックの書き換え回数よりも多い書き換え回数のメモリブロックを選択すればよい。

【0053】

図11には前記置き換え処理をパワーオン動作の一貫として行う場合のフローチャートが例示される。フラッシュメモリカード1に電源が投入されると、CPU15内のレジスタ初期化(S40)と、ホストインタフェース回路10、フラッシュコントローラ12、及びバッファコントローラ13に対するレジスタ初期化(S41)を行う。そしてフラッシュメモリカード1に実装されているフラッシュメモリ2を確認し(S42)、フラッシュメモリ2からシステム情報をリードする(S43)。次に、フラッシュメモリ2上における使用アドレス登録テーブルの格納先頭アドレスを取得してワークRAM17に格納する(S44)。同様にフラッシュメモリ2上における前記未使用領域識別テーブルの格納先頭アドレスを取得してワークRAM17に格納する(S45)。その後のタイミングで、カードコントローラ5は書き換え回数の少ないメモリブロックに対する前記置き換え処理を行う(S46)。

【0054】

図12には専用コマンドCMDXに回答して前記置き換え処理を行うときの動作タイミングチャートが例示される。ホストコンピュータ6から書き込みコマンドCMD24が発行されると、そのコマンドに回答してカードコントローラ5はフラッシュメモリ2に対する書き込みを行う(フラッシュ・ライト)。ホストコンピュータ6はコマンドに対する応答を待つ(レスポンス)。カードコントローラ5は書き込みに続いて移動アドレス検索処理を行う。移動アドレス検索処理は、例えば図9の処理により書き換え回数の少ないブロックアドレスと書き換え回数を取得し、書き換え回数が規定値より少なければ移動アドレスが存在すると判定する。ホストコンピュータ6は移動アドレス検索処理の時間が経過したところで、ステータスリードコマンドCMD13をカードコントローラ5に発行する。カードコントローラ5は移動アドレス有無の判定結果を出力し、ホストコンピュータ6はこれをレスポンスとして受取る。例えば、移動すべきアドレスが多い、というチェック結果を受取った場合、ホストコンピュータ6がカードコントローラ5へ置き換え処理コマンド

CMDXを発行する。例えば、移動すべきメモリブロックが多いというチェック結果を受け取った場合、カードコントローラ5がホストコンピュータ6へ置き換え処理コマンドCMDXの発行を要求する。この置き換え処理コマンドCMDXは専用コマンドであり、書き込みアドレスを指定して行う単なる書き込みコマンドとは相違される。置き換え処理コマンドCMDXは書き込み対象アドレスの指定を伴わない。

【0055】

カードコントローラ5は書き込み処理コマンドに応答して、移動アドレス検索処理で先に検索された置き換え先のブロックアドレスに対して、更に、書き換え回数の少ない置き換え元のブロックアドレスを取得して、書き替え処理を行なう。その処理手順は図8などで説明した手順となる。置き換え処理中にホストコンピュータ6からアクセスコマンド等（例えばリードコマンドCMD17）が発行されると、カードコントローラ5は置き換え処理を中止し、当該アクセスコマンドに応答する処理に移行する。ホストコンピュータ6からリードやライトのアクセス要求を待たせないようにするためである。

【0056】

図13乃至図15にはフラッシュメモリ全体としての書き換え回数に応じて前記置き換え処理を行う場合の動作例が示される。ここでは、ホストコンピュータからの書き込みアクセスに応答する処理の一貫として置き換え処理を行う場合を一例としている。フラッシュメモリ全体としての書き換え回数を保持する不揮発性記憶領域としてフラッシュメモリの使用アドレス登録テーブルの所定の記憶領域が割当てられる。全体書き換え回数データは必要に応じてフラッシュメモリからバッファメモリ4に読み出されて利用される。バッファメモリ4に読み出された全体書き換え回数データは例えば書き込み動作毎にインクリメントされ、一定計数値（例えば5000）毎にリセットされて初期値から計数を繰返すリングカウンタ形式で計数動作される。変更された全体書き換え回数データはワークRAM17からフラッシュメモリ2に待避される。

【0057】

図13乃至図15に示される処理のステップ番号は図5、図8と同じ処理には同じステップ番号を付してその詳細な説明を省略する。図13において図5と相違する点は、ステップS2の処理の後、カードコントローラはフラッシュメモリ2の使用アドレス登録テーブルから全体書き換え回数データを取得し（S50）、全体書き換え回数が設定値例えば5000回に到達しているかを判定する（S51）。到達していれば、先に、続きの書き込み処理S3～S10を行い、その後、全体書き換え回数を+1インクリメントしてから（S53）、前記ステップS20～S22、S25～S29によって置き換え処理を行う。到達していなければ、前記ステップS3～S10によって書き込み処理を行い、その途中で、全体書き換え回数を+1インクリメントし、その値をフラッシュメモリ上の対応する使用アドレス登録テーブルへ格納する（S52）。

【0058】

《読み出し動作》

図16には使用アドレス登録テーブル部21を利用したメモリカードの読み出し動作の処理フローが例示される。ホストコンピュータ6からリードコマンドが発行されると、カードコントローラ5は論理アドレスLBA（論理セクタアドレス）に対応するブロックアドレスが格納されている使用アドレス登録テーブルATTをバッファメモリ4の使用アドレス登録テーブルバッファにリードする（S60）。このときに、使用アドレス登録テーブル部21においてそれをインデックスする論理アドレス情報は昇順配置だから、先ずそれに従って、使用アドレス登録テーブルが配置されるメモリブロックを選べばよい。選んだブロックに対し管理領域を先ずリードして、多重化されている中から有効な使用アドレス登録テーブルATTの所在を把握し、これに基づいて使用アドレス登録テーブルATTをリードすることになる。そして、リードした使用アドレス登録テーブルを検索することによりリード対象の論理アドレスに現在対応するメモリブロックアドレス（BA）を取得する（S60）。

【0059】

カードコントローラ5は、メモリブロックアドレスBAに格納されているデータをリードする(S61)。リードデータに対してECCエラーの判定を行い(S62)、エラーがあればECC訂正処理を行い(S63)、リードデータをホストコンピュータ6に向けて出力する。

【0060】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0061】

例えば、未使用領域識別テーブル、使用アドレス登録テーブルの多重化数は4に限定されず、異なるメモリブロックを用いて多重化数を2倍の8としてもよい。この時、多重化された複数のテーブルの中で有効とするテーブルの順序は、毎回メモリブロックを相違させるように選択するのがよい。テーブルの書き換えに際し、原メモリブロックに対して新メモリブロックは相違されることになり、テーブルの書き換え中に電源遮断を生じても、原テーブルの内容は消失させずに残す事ができる。

【0062】

また、相対的に書き換え回数の少ないメモリブロックを検索する方法は図9で接したような方法に限定されない。例えば書き換え回数データは1000回単位で回数を表すデータであってもよい。或は規定値に到達したか否かを示す1ビットのデータもしくはフラグであってもよい。書き換えは書き込み処理と消去処理によって行なわれる。書き換え回数は消去回数若しくは書き込み回数と表現しても同じである。

【0063】

また、消去処理や書き込み処理は必ずしもワード線単位で無くてもよい。フラッシュメモリは1個のメモリセルで2値データを記憶する構成だけでなく、4値以上の多値情報を記憶する構成であってもよい。不揮発性メモリはフラッシュメモリに限定されず、高誘電体メモリなど、他の記憶形式のメモリであってもよいことは言うまでもない。また、カードコントローラのような制御回路はIDEなどのホストインタフェース回路を備えなくてもよく、その機能をホストコンピュータに負担させるように規格化されたメモリカードにも適用可能である。

【0064】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0065】

すなわち、本発明に係るメモリ装置は、置き換え処理により、書き換え回数の少ないメモリ領域を他のメモリ領域との置き換え対象にするから、書き換えが発生しないメモリ領域で累積的にディスタ urbによる影響を受けてデータ化けを生ずる虞を未然に防止することができる。また、本発明に係るメモリ装置は、データを書き換えるとき、置き換え処理を行うとき、原ブロックアドレスと異なるブロックアドレスを書き込み先若しくは置き換え先とするように未使用領域識別テーブルで書き込みブロックアドレスの管理を行うから、消去途中若しくは置き換え途中で不所望な電源遮断を生じてもデータの回復が可能である。

【図面の簡単な説明】

【図1】本発明の一例に係るフラッシュメモリカードのブロック図である。

【図2】フラッシュメモリの記憶領域を例示する説明図である。

【図3】使用アドレス登録テーブル部の一部例えばブロックアドレスに配置された使用アドレス登録テーブルブロックの詳細を例示する説明図である。

【図4】未使用領域識別テーブル部の一部例えばブロックアドレスに配置された未使用領域識別テーブルブロックの詳細を例示する説明図である。

【図5】未使用領域識別テーブル及び使用アドレス登録テーブルを利用したメモリカード

の書き込み動作の処理を例示するフローチャートである。

【図6】図5の処理における主なデータの流れ等を示す説明図である。

【図7】図5の処理における主なデータの流れ等を示す説明図である。

【図8】置き換え処理動作を例示するフローチャートである。

【図9】書き込み回数の少ないブロックアドレスを検索する手順を例示するフローチャートである。

【図10】図5で説明した置き換え処理によるデータ移動の様子と図8で説明した書き込み処理によるデータの流れの様子を模式的に示す説明図である。

【図11】置き換え処理をパワーオン動作の一貫として行う場合のフローチャートである。

【図12】専用コマンドに応答して置き換え処理を行うときの動作タイミングチャートである。

【図13】フラッシュメモリ全体としての書き込み回数に応じて置き換え処理を行う場合の動作を示すフローチャートである。

【図14】フラッシュメモリ全体としての書き込み回数に応じて置き換え処理を行う場合の動作を示すフローチャートである。

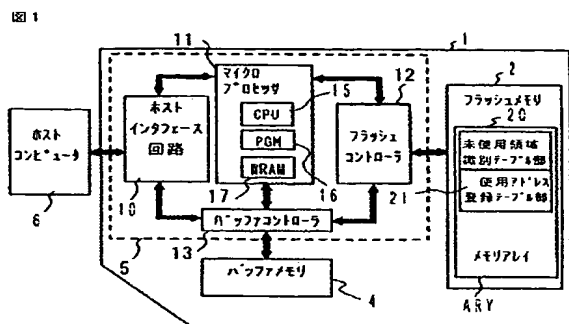
【図15】フラッシュメモリ全体としての書き込み回数に応じて置き換え処理を行う場合の動作を示すフローチャートである。

【図16】使用アドレス登録テーブル部を利用したメモリカードの読み出し動作のフローチャートである。

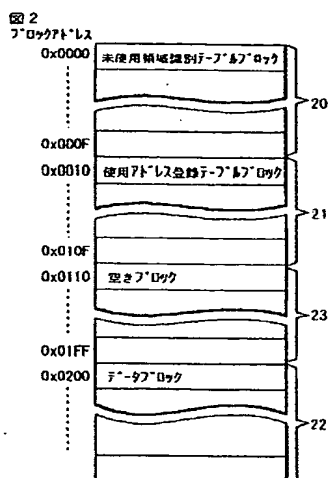
【符号の説明】

- 1 メモリカード
- 2 フラッシュメモリ
- 4 バッファメモリ
- 5 カードコントローラ
- 6 ホストコンピュータ
- 10 ホストインタフェース回路
- 11 マイクロプロセッサ
- 12 フラッシュコントローラ
- 13 バッファコントローラ
- 15 CPU
- 16 プログラムメモリ
- 17 ワークRAM
- 20 未使用領域識別テーブル部
- 21 使用アドレス登録テーブル部
- 22 ユーザエリア
- 23 空きブロック領域
- ATT 使用アドレス登録テーブル
- ET 未使用領域識別テーブル
- FLG 未使用識別フラグ

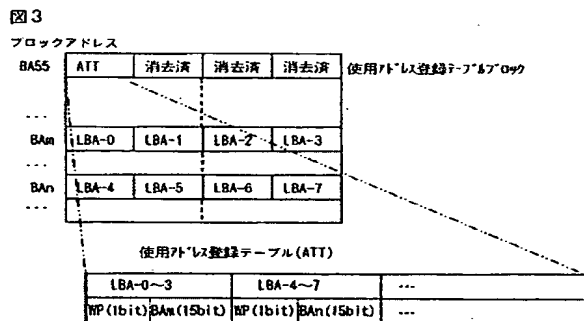
【図1】



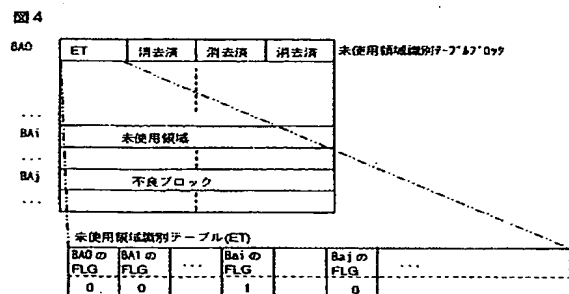
【図2】



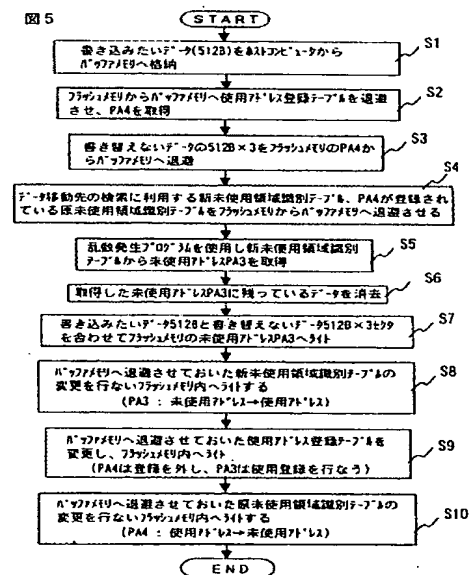
【図3】



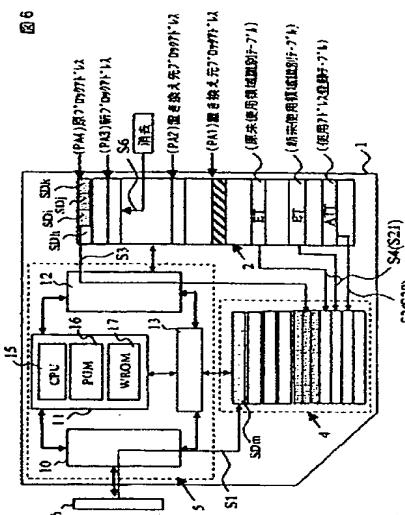
【図4】



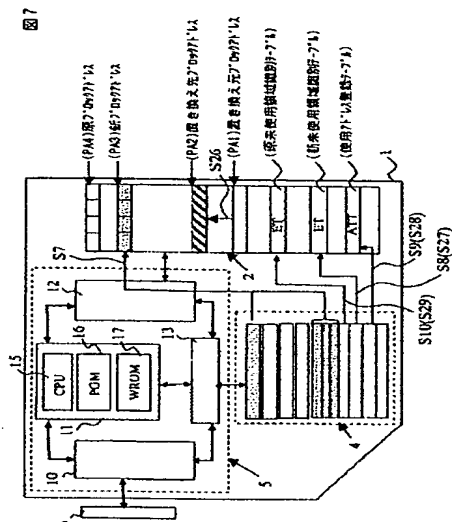
【図5】



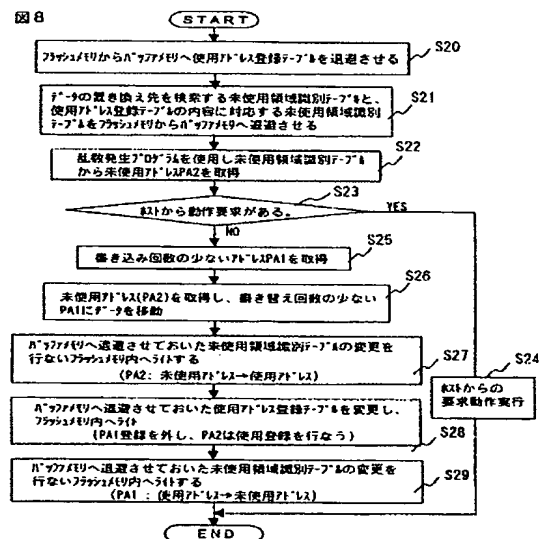
【図6】



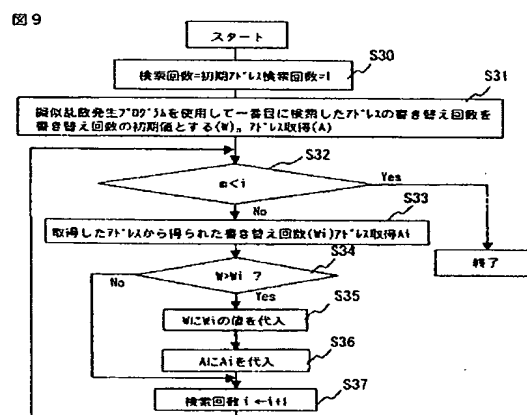
【図7】



【図8】

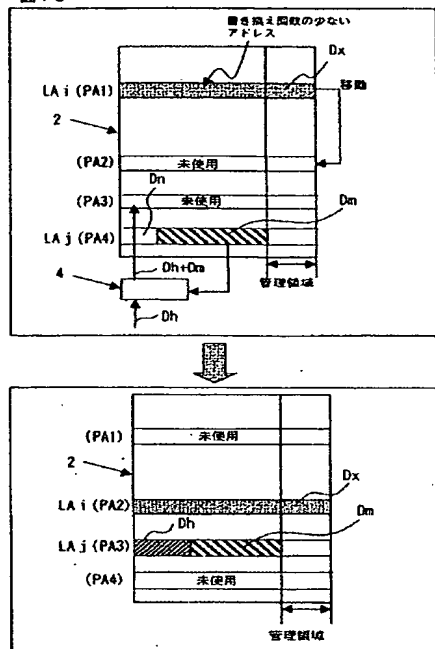


【図9】



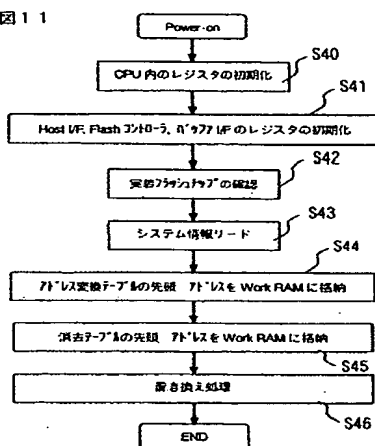
【図 10】

10



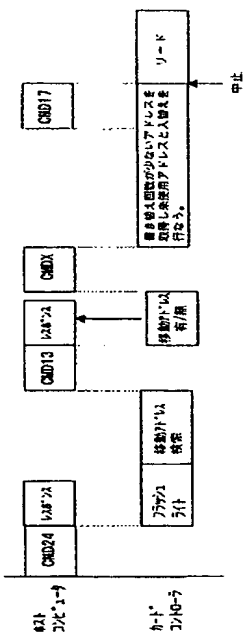
【図 1 1】

11



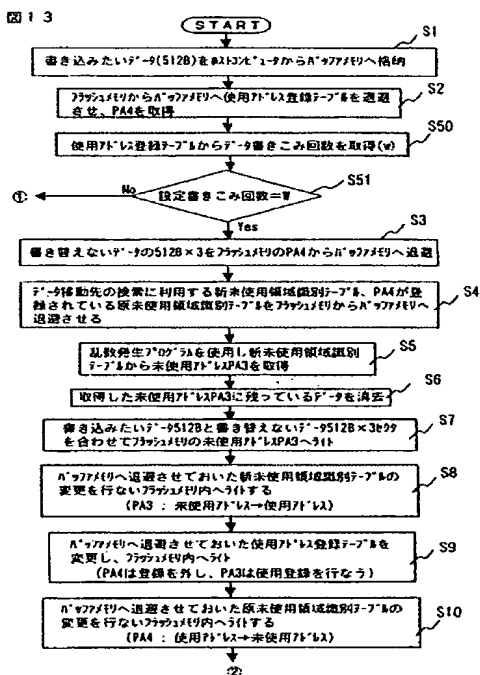
【图 1 2】

12

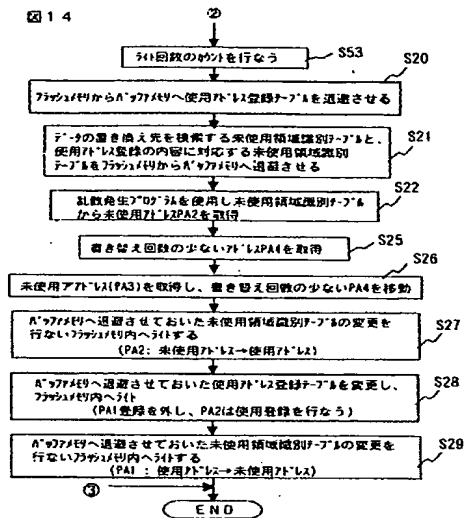


【图 13】

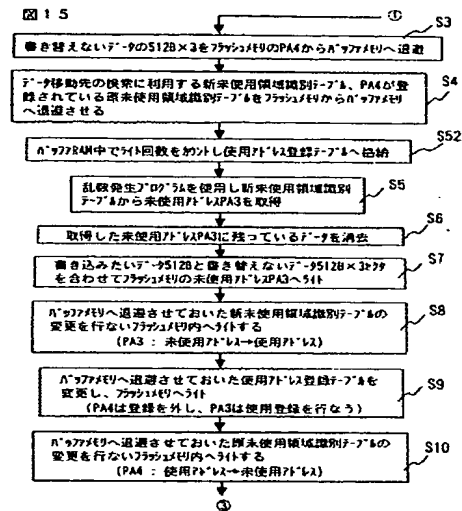
13



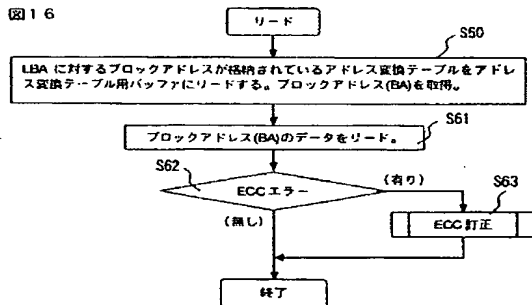
【図14】



【図15】



【図16】



フロントページの続き(51) Int. Cl. ⁷

F I

テーマコード (参考)

G 0 6 K 19/00

N

Fターム (参考) 5B025 AD04 AE01 AE08 AF01
5B035 BB09 CA11 CA29
5B060 AA02 AA06 AA14

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.